

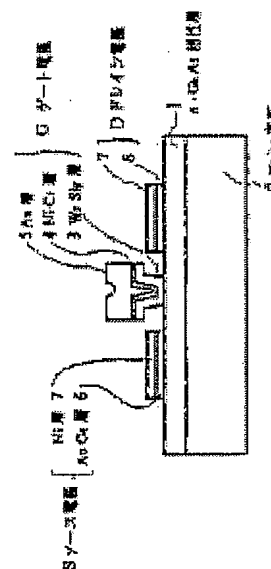
SEMICONDUCTOR DEVICE**Publication number:** JP4199681**Publication date:** 1992-07-20**Inventor:** OMURA SOJI**Applicant:** FUJITSU LTD**Classification:**

- international: H01L29/872; H01L21/338; H01L21/768; H01L29/47;
H01L29/812; H01L29/66; H01L21/02; H01L21/70;
H01L29/40; (IPC1-7): H01L21/338; H01L21/90;
H01L29/48; H01L29/812

- European:

Application number: JP19900331222 19901129**Priority number(s):** JP19900331222 19901129**Report a data error here****Abstract of JP4199681**

PURPOSE:To obtain a transistor excellent in characteristics by a method wherein an electrode composed of a first metal layer in rectifying contact with a semiconductor layer, a nichrome alloy layer deposited thereon, and a second metal layer metal layer formed thereon is provided. **CONSTITUTION:**An electrode G composed of a first metal layer or an intermetallic compound layer 3 in rectifying contact with a semiconductor layer 1, a nichrome alloy layer 4 deposited thereon, and a second metal layer metal layer 5 formed thereon is provided. That is, a gate electrode G is composed of a tungsten silicide ($WxSi_y$) layer 3, a nichrome alloy layer 4, and an Au layer 5. Nichrome alloy is excellent in adhesion to metal or metal compound and small in electrode potential difference to metal such as gold, platinum, or the like. Therefore, an electromotive force is hardly induced between the layers which constitute the electrode G, so that an interface between a nichrome alloy layer and its upper or lower layer can be protected against local corrosion. By this setup, a semiconductor device of this design can be prevented from increasing in resistance and enhanced in transistor characteristics.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2605180号

(45) 発行日 平成9年(1997) 4月30日

(24) 登録日 平成9年(1997) 2月13日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/372			H 0 1 L 29/48	M
21/333		9447-41M	29/50	M
29/312				

請求項の数2 (全 6 頁)

(21) 出願番号 特願平2-331222

(22) 出願日 平成2年(1990) 11月29日

(65) 公開番号 特開平4-186681

(43) 公開日 平成4年(1992) 7月20日

(73) 特許権者 999999999

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 大村 宗司

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 岡本 啓三

審査官 國島 明弘

(56) 参考文献 特開 昭58-110073 (J P, A)
 特開 昭60-170265 (J P, A)
 特開 昭61-16515 (J P, A)
 特開 昭61-272968 (J P, A)

(54) 【発明の名称】 半導体装置

1

(57) 【特許請求の範囲】

【請求項1】 半導体層に整流性接触して設けられたタングステンシリサイド、窒化タングステン又は六ホウ化ランタノイドよりなる金属化合物層と、

前記金属化合物層上に堆積して設けられたニクロム合金層と、

前記ニクロム合金層上に設けられた金属層と

を備える電極を有することを特徴とする半導体装置。

【請求項2】 前記電極がトランジスタのゲート電極又はショットキー・トランジスタのショットキー電極であることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【概要】

化合物半導体の上に整流性接触する電極を設けた半導体装置に関し、

2

フッ酸、硝酸等の溶液に曝されても電極の抵抗を増加させず、良好なトランジスタ特性を得ることを目的とし、

半導体層に整流性接触して設けられたタングステンシリサイド、窒化タングステン又は六ホウ化ランタノイドよりなる金属化合物層と、前記金属化合物層上に堆積して設けられたニクロム合金層と、前記ニクロム合金層上に設けられた金属層とを備える電極を含み構成する。

【産業上の利用分野】

10 本発明は、半導体装置に関し、より詳しくは、化合物半導体の上に整流性接触する電極を設けた半導体装置に関する。

【従来の技術】

化合物半導体装置として例えばGaAsショットキーゲート電界効果トランジスタ (GaAs-MESFET) が提案されて

3

いる。

このトランジスタは、第4図(a)に例示するように、GaAs基板41の上にn-GaAs活性層42形成するとともに、活性層42とショットキー接合するゲート電極43と、その両側で活性層42と抵抗性接触するソース電極44、ドレイン電極45を設けた構造になっている。

ところで、そのゲート電極43については、素子の長期安定動作を保証するために、GaAsとの反応が生じ難い材料の膜と、抵抗率の小さい金属を重ね合わせた多層構造が採用されている。

例えば、GaAs活性層42の上にスパッタリング法により形成したタンゲステンシリサイド(W_xSi_y)層46と、その上に電子ビーム蒸着法等により連続的に堆積されたチタン(Ti)層47、白金(Pt)層48、金(Au)層49によりゲート電極43を構成している。この場合の各層46~49の厚さは、例えば W_xSi_y 層46が2000Å、Ti層47が50Å、Pt層48が1500Å、Au層49が5000Åとなっている。

ここで、 W_xSi_y 層46とPt層48の間にTi層47を挿入する理由は、 W_xSi_y が化学的に不活性であるために金属間の相互拡散が生じ難く、Ti層47を挿入しない場合には W_xSi_y 層46とPt層48の接着強度が著しく低下するためである。

〔発明が解決しようとする課題〕

しかし、半導体装置の製造工程において、緩衝弗酸、塩酸等の溶液に上記構造のゲート電極43を曝すと、電気化学的作用により W_xSi_y 層46とTi層47との界面に局部腐食が生じ、第4図(b)に示すように、Ti層47の側部が除去されることになる。しかも、この作用が著しく現れる場合には、 W_xSi_y 膜46の上の層が剝離してしまうことになる。

これは、GaAs活性層42と W_xSi_y 層46が整流性接触状態となり、Ti層47とPt層48との間に異種メタルによる起電力が生じるために、Ti層47が陽極、Pt層48或いは金層49が陰極となり、緩衝弗酸等が電解液として作用するからである。

また、 W_xSi_y 層46には成膜時のストレスがあるために、Ti層47の腐食により露出した W_xSi_y 層46にも腐食が生じることが確認されている。

そして、局部腐食によりゲート電極43に細りが生じると、ゲート電極43の入力抵抗が増大し、低雑音素子においては雑音指数(NF)の増大となって現れ、その大きさは第5図に示すように入力抵抗の対数倍に比例することになり、トランジスタ特性が悪くなるという問題がある。

なお、上記した構造の電極をシリコンの上に形成しても、これらは抵抗性接触となるので局部腐食は生じない。

本発明はこのような問題に鑑みてなされたものであって、フッ酸、塩酸等の溶液に曝されても電極の抵抗が増加せずに良好なトランジスタ特性を得ることが出来る半

(2)

特許2605180

4

導体装置を提供することを目的とする。

〔課題を解決するための手段〕

上記した課題は、第1図に例示するように、半導体層1に整流性接触する第一の金属層又は金属化合物層3と、前記第一の金属層又は金属化合物層3の上に積層したニクロム合金層4と、前記ニクロム合金層4の上に形成した第二の金属層5とにより構成した電極Gを有することを特徴とする半導体装置によって達成する。

〔作用〕

10 本発明によれば、半導体層1に整流性接触する金属化合物層3の上に、ニクロム合金層4を積層して電極Gを形成し、さらに金、白金等の金属層5を積層して電極を構成している。

ところで、ニクロム合金は、金属や金属化合物との接触性に優れた材料であり、しかも、金、プラチナ等の金属に対する電極電位差が小さい。

このため、半導体層1及び電極Gを弗酸、塩酸、硝酸等の溶液中に浸漬しても、起電力が極めて小さいために不活性な状態となり、それらの界面において局部腐食が発生することはない。しかも、多層構造の電極においてニクロム合金層を下側の金属化合物層と上側の金属層との間に介在させることにより、金属化合物層とその上の金属層との密着性が改善される。なお、金属化合物層と半導体層との整流性接触によれば熱による層間反応が生じ難くなって、電極が半導体層から剥がれにくくなり、安定した接触特性が得られる。

したがって、ニクロム合金層4が細ることはなく、抵抗も小さくなり、例えば低雑音素子においては雑音指数、利得が改善される。

30 〔実施例〕

そこで、以下に本発明の詳細を図面に基づいて説明する。

第1図は、本発明の一実施例のMESFETを示す断面図である。

図中符号1は、半絶縁性GaAs基板2の上にエピタキシャル成長されたn-GaAs活性層で、その上のトランジスタ形成領域の中央には、タンゲステンシリサイド(W_xSi_y)層3、ニクロム合金(NiCr)層4、金(Au)層5よりなるゲート電極Gが形成され、また、その両側方には一定間隔を置いて金・ゲルマニウム(AuGe)層6、ニッケル(Ni)層7よりなるドレイン電極Dとソース電極Sが積層されており、GaAs活性層1に対して W_xSi_y 層3はショットキー接触し、AuGe層6は抵抗性接触するように構成されている。

このトランジスタを形成する工程を以下に説明する。

まず、第2図(a)に見られるように、GaAs基板2の上にn-GaAs活性層1、 SiO_2 膜8を積層する。この後に、フォトリソist 9を塗布し、これを露光、現像してゲート形成領域のフォトリソist 9に窓10を開ける。

50 次に、窓10から露出した SiO_2 膜8を弗酸等によってエ

5

ッチングして開口部11を設け、その下の n -GaAs活性層1を露出させる(第2図(b))。その後、フォトリソストロを除去する。

これに基づいて、スパッタリング法により W_xSi_y 層3を2000Å、NiCr層4を50~100Å、Au層5を5000Å程度連続的に積層した後に、新たにフォトリソストロ12を塗布し、これを露光、現像してゲート形成領域及びその周辺だけを覆うようにする(第2図(c))。なお、NiCr層4と金層5の間にPt層を形成してもよい。

この場合のNiCr層4は、金属や金属化合物との密着性が良く、しかも、薄く形成されているために、接触抵抗を小さくして W_xSi_y 層3とAu層5との接着強度を高くするように作用する。

この後に、フォトリソストロ12から露出したAu層5、NiCr層4、 W_xSi_y 層3を順にエッチングし(第2図(d))、これをゲート電極Gとする。

この後に第2図(e)に示すように、 SiO_2 膜8を緩酸液により除去するが、ゲート電極Gに局部腐食は生じない。

即ち、NiCrの標準電極電位は、Au、Ptのそれとの差が小さく、これらの間には弗酸溶液を電解液とする電気化学的反応を生ぜず、NiCr層4とAu層5の界面における局部腐食は進行しない。しかも、NiCr層4は弗酸の水溶液に不活性な金属であり、それ自体腐食されることもない。

このように、 SiO_2 膜8だけを選択除去した後に、ドレイン形成領域、ソース形成領域以外の領域をレジストマスク13で覆い、ついで、AuGe層6、Ni層7を積層する(第2図(f))。ついで、レジストマスク13を除去することにより、その上の金属層6、7を剥離する。

これにより、ドレイン形成領域、ソース形成領域にはAuGe層6、Ni層7が残存し、それらの膜6,7はドレイン電極D、ソース電極Sとなる(第2図(g))。

これによりトランジスタが完成する。

なお、上記した実施例では、 n -GaAs活性層1と整流性接触する金属として W_xSi_y を用いたが、その他の例として、窒化タングステン(W_xNi_y)、六硼化ランタノイド(LaB_6)等のような金属化合物を使用することも可能である。

また、上記した実施例では、ゲート電極Gを弗酸水溶液に浸漬する場合について説明したが、塩酸、シュウ酸等の水溶液に浸漬する場合にも同様な理由により局部腐食は生じない。

さらに、上記した実施例ではGaAs-MESFETを実施例として説明したが、その他に、第3図に示すようなHEMTのゲート電極や、不図示のショットキーダイオードの金属

(3)

特許2605180

6

等のように、電極を化合物半導体に整流性接触させる場合に、その電極の中間層としてNiCrを設けてもよい。

なお、第3図において符号12は、半絶縁性GaAs基板、13は、基板12の上に形成された i -GaAs層、14は、 i -GaAs層12に積層された n -AlGaAs層、15は、 W_xSi_y /NiCr/Auよりなるゲート電極、16は、AuGe/Auよりなるドレイン電極、17は、AuGe/Auよりなるソース電極を示している。

【発明の効果】

- 10 以上述べたように本発明によれば、半導体層に整流性接触する金属化合物層の上に、ニクロム合金層を積層して電極を形成し、さらに金、白金等の金属層を積層して電極を形成したので、それらを弗酸、塩酸、硝酸等の溶液中においても、電極の各層の間に起電力は殆ど発生せず、ニクロム合金層とその上下の層との境界における局部腐食が防止され、電極の細りによる抵抗の増加を阻止することができる。また、多層構造の電極において、高温下で半導体層と層間反応が生じにくい金属化合物層を半導体層に接触させ、しかも、下側の金属化合物層と上側の金属層との間にニクロム合金層を介在させたので、半導体層と電極の密着性と電極内での層同士の密着性とを改善でき、安定した半導体層・電極接触特性を得ることができる。

【図面の簡単な説明】

- 第1図は、本発明の第1実施例装置を示す断面図、
第2図は、本発明の第1実施例装置の製造工程を示す断面図、
第3図は、本発明の第2実施例装置を示す断面図、
第4図は、従来装置の一例を示す断面図、
第5図は、GaAsトランジスタのゲート抵抗と雑音指数の関係を示す特性図である。

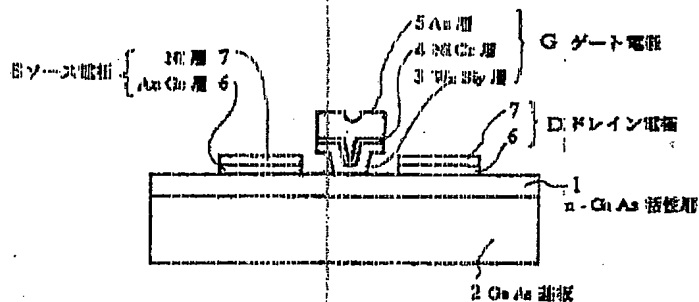
(符号の説明)

- 1..... n -GaAs活性層、
2.....GaAs基板、
3.....タングステンシリサイド層、
4.....ニクロム合金層、
5.....金層、
6.....金ゲルマニウム層、
7.....ニッケル層、
8..... SiO_2 膜、
9.....開口部、
10.....窓、
11.....レジストマスク、
G.....ゲート電極、
S.....ソース電極、
D.....ドレイン電極。

(4)

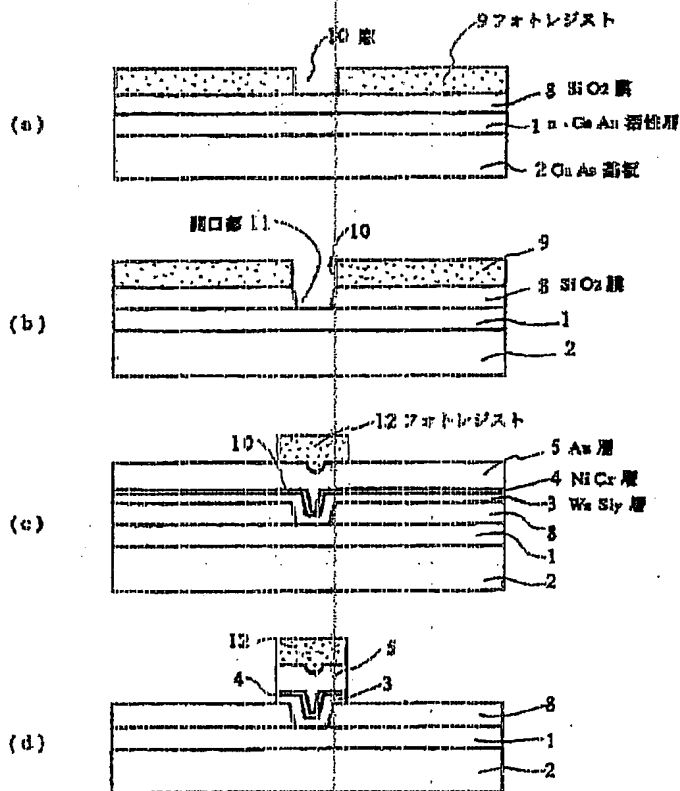
特許2605180

【第1図】



本発明の第1実施例装置を示す断面図

【第2図 (その1)】

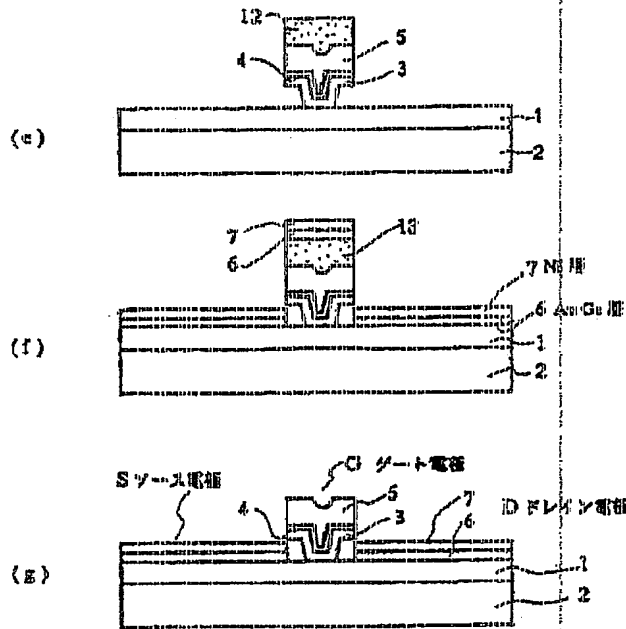


本発明の第1実施例装置の製造工程を示す断面図

(5)

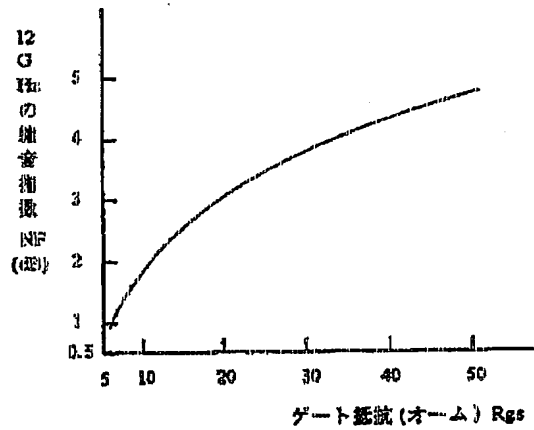
特許2605180

【第2図(その2)】



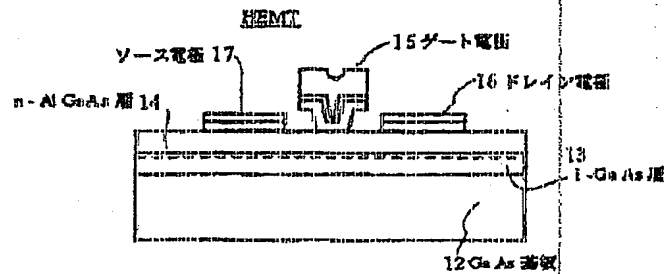
本発明の第1実施例装置の製造工程を示す断面図

【第5図】



GaAsトランジスタのゲート抵抗と雑音指数の関係を示す特性図

【第3図】



本発明の第2実施例装置を示す断面図